

Descriere:

Invenția se referă la tehnica de calcul și microelectronică și poate fi aplicată la producerea și exploatarea circuitelor supraintegrate cu mijloace compacte implementate de testare și diagnosticare.

Este cunoscută metoda de testare a dispozitivului de memorie operativă, care constă în aceea că la început se înscrie în celulele de memorie o combinație de semnale de test, ce reprezintă o secvență de semnale logice “1” și “0” alternante (sau “0” și “1”), se citește și se compară combinația semnalelor de test cu combinația inițială (de control) și în caz de necoincidență se decide că dispozitivul de memorare operativă este defectat [1].

Deficiența acestei metode constă în aceea că ea nu asigură detectarea defectărilor constante multiple, adică a combinațiilor de defectări constante singulare, și a defectărilor de influență reciprocă.

Cel mai apropiat analog, după esența tehnică și efectul obținut, este metoda de testare a dispozitivelor de memorie, care constă în aceea că numărul semnalelor de test se alege egal cu numărul stărilor stabile ale unei poziții (celule) a dispozitivului testat de capacitatea (binaritatea) m . La intrarea dispozitivului se aplică o secvență de semnale de test, în care semnalul logic zero se înscrie ultimul. Semnalele de test obținute la ieșirea dispozitivului se compară cu semnalele de control și în caz de necoincidență se decide că dispozitivul testat este defectat. Metoda asigură testarea dispozitivului și detectarea defectării constante în una din celulele acestuia, adică a defectărilor constante singulare [2].

Deficiența metodei cunoscute rezidă în rezoluția redusă referitor la defectările constante și defectările de influență reciprocă ale celulelor memoriei operative.

Problema pe care o rezolvă invenția constă în mărirea veridicității testării dispozitivelor de memorie operativă.

Metoda de testare a dispozitivului de memorie operativă cu celule logice unipoziționale constă în aceea că numărul semnalelor de test se alege egal cu cel al stărilor stabile diferite ale unei celule de memorie, la începutul iterației de test primul și al doilea semnale de test se înscriu corespunzător în primele două celule ale dispozitivului de gradul m (m - numărul de celule), unde combinația semnalelor de test este selectată nenulă, se compară combinația rezultantă de semnale de test cu combinația de control și se determină gradul de funcționare a dispozitivului de memorie operativă. După înscrierea semnalelor de test în primele două celule de memorie se repetă de $m-2$ ori următoarele operații: se citește și se adună modulo doi conținutul celulelor, în care se păstrează semnalele actuale de test, apoi al doilea semnal de test se interpretează ca primul semnal de test, iar rezultatul adunării modulo doi este interpretat în calitate de al doilea semnal de test, se înscrie al doilea semnal de test în următoarea celulă a dispozitivului de memorie operativă; se compară combinația de semnale de test cu combinația de control și, în caz de coincidență, se efectuează iterațiile de test cu alte combinații inițiale nenule de valori ale semnalelor de test până la prima necoincidență a semnalelor finale de test cu combinația de control.

Datorită introducerii “legăturii de reacție” defectarea de tipul influența celulei j asupra celulei (i vecine) i , unde $j > i$ (mai precis $j = i + 1$), degenerază într-o defectare constantă (singulară). Într-adevăr, dacă o defectare de influență reciprocă la înscrierea sau citirea j duce la schimbarea (inversarea) stării celulei vecine i , în celula i se va “înscrie” (în mod operativ) *ad hoc* o defectare constantă singulară. La formarea secvenței de test în fiecare iterație de test probabilitatea de nedetectare a defectărilor constante se micșorează de două ori. Pentru prima iterație de test valoarea acestei probabilități este egală cu $1/2$. Cu fiecare iterație probabilitatea de nedetectare se micșorează de două ori, adică devine respectiv egală cu $1/4$, $1/8$, etc.

Plauzibilitatea $D(k)$ a testării ca mărime complementară cu probabilitatea de nedetectare este definită prin

$$D(k) = \sum_{i=1}^{k+1} \frac{2^{k-i+1}}{2^{k+1} - 1},$$

unde k este numărul de stări stabile ale unei celule de memorie.

Ca rezultat al efectuării a trei iterații de test asupra dispozitivului de memorie operativă, plauzibilitatea (pentru $k=2$) va fi egală cu

$$D(k=2) = \frac{4}{5} + \frac{2}{7} + \frac{1}{7} = 1.$$

Astfel se atinge valoarea absolută a calității de testare, adică plauzibilitatea egală cu 1, în ipoteza defectărilor constante.

Rezultatul tehnic constă în detectarea defectărilor constante și a defectărilor de influență reciprocă a celulelor de memorie pe contul introducerii “legăturii de reacție” și formării succesiunii semnalelor de test cu mijloacele dispozitivului.

Să analizăm un exemplu de aplicare a metodei la testarea unui dispozitiv de memorie operativă, care conține 10 celule logice unipoziționale, inclusiv pentru cazul când dispozitivul conține o defectare constantă.

Fie combinația inițială de semnale de test egală cu “01” (adică primul semnal de test este egal cu logic 0, iar al doilea cu logic 1) și aceste semnale de test se înscriu respectiv în prima și a doua celule de memorie.

Ca rezultat al citirii și adunării modulo doi a conținutului (stărilor) primelor două celule de memorie în celula următoare, adică în a treia celulă de memorie, se va înscrie log. 1 (“1”). În continuare rolul semnalelor actuale de test îl vor deține stările celulelor de memorie doi și trei, care se vor numi respectiv primul și al doilea semnale de test.

În următorul moment (tact), conținuturile ultimelor două (adică a doua și a treia) celule de memorie se citeșc și se adună modulo doi. Rezultatul sumei modulo doi - $1+1$ este valoarea log. 0 (“0”), care se înscrie în următoarea, a patra, celulă de memorie, etc. După efectuarea a opt tacte (pași), adică la finele iterației de test, în celulele de memorie va fi înscrisă următoarea secvență de semnale binare (logice) - 0110110110.

Combinația de control (așteptată), adică valorile finale ale semnalelor de test pot fi estimate în prealabil. Pentru estimarea valorilor finale F ale semnalelor de test se aplică următoarea expresie:

$$F(t = m - 2) = V \otimes A^{m-2}, \quad (1)$$

unde: $V = \langle v_1, v_2 \rangle$ reprezintă vectorul-linie al valorilor inițiale ale semnalelor de test (combinația de test inițială),
 $V \in \{0,1\}$; $A = [a_{ij}]_{2 \times 2} = \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix}$ - matricea stărilor de tranziție; $F = \langle f_1, f_2 \rangle$ - vectorul-linie al valorilor finale ale
 semnalelor de test (combinația de test finală); $a_{ij}, f \in \{0,1\}$, t - numărul de tacte, m - capacitatea dispozitivului de memorie.

Operația înmulțirii vectorului-matrice \otimes se definește în modul următor:

$$f_i = \sum_{j=1}^2 v_j a_{ji}; \quad i = 1, 2$$

și a înmulțirii matriceale

$$C = A \cdot B = [C_{ij}], \quad \text{unde } C_{ij} = \sum_k a_{ik} b_{kj},$$

unde Σ reprezintă simbolul sumei modulo doi.

De exemplu, dacă capacitatea m a matricei dispozitivului de memorie operativă este $m=10$ și vectorul-linie V are valoarea $V = \langle 0, 1 \rangle$, atunci valoarea matricei A de gradul 8 ($m-2$) este egală cu:

$$A^8 = \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} = \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix}$$

iar vectorul-linie F al valorilor finale în conformitate cu (1) va fi:

$$F(t=8) = V \otimes A^8 = \langle 0, 1 \rangle \otimes \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} = \langle 1, 0 \rangle.$$

După primul tact ($t=1$) valorile actuale F ale semnalelor de test vor fi:

$$F(t=1) = V \otimes A = \langle 0, 1 \rangle \otimes \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} = \langle 1, 0 \rangle$$

iar în primele trei celule ale matricei dispozitivului de memorie se va înscrie secvența de test 010; după al doilea tact ($t=2$) valorile actuale F ale semnalelor de test vor fi:

$$F(t=2) = V \otimes A^2 = F(t=1) \otimes A = \langle 0, 1 \rangle \otimes \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} = \langle 1, 1 \rangle.$$

După cele $t=8$ ($m-2$) tacte ale iterației de test, cu valorile inițiale ale semnalelor de test indicate, în cele zece ($m=10$) celule de memorie (nedefectată) va fi înscrisă secvența de test 0110110110.

Dacă vreo celulă a matricei de memorie este defectată, de exemplu, defectare de tipul blocat "1" - defectare constantă singulară în celula șase, atunci ca rezultat al iterației de test (cu aceeași valoare inițială $V = \langle 0, 1 \rangle$) în matricea de memorie va fi înscrisă secvența de test:

$$01101\underline{0}1101 \quad (2)$$

(ultimele două valori sunt de control și reprezintă valorile finale ale semnalelor de test, iar cifra subliniată corespunde celulei (a șasea) defectate a dispozitivului de memorie).

În mod analog, dacă dispozitivul de memorie conține o defectare constantă multiplă, adică o combinație de defectări constante singulare, de exemplu blocat "0" în celula patru și blocat "1" în celula șase a matricei de memorie, atunci la finele iterației de test secvența de test va fi identică cu (2), adică o astfel de defectare a dispozitivului de memorie va fi detectată.

Pe de altă parte pot fi indicate astfel de defectări constante, singulare ori multiple, pentru care combinația rezultantă nu se va deosebi de cea așteptată, calculată în prealabil, la efectuarea unor iterații de test.

De exemplu, este defectată a treia celulă de memorie - defectarea constantă singulară logic 1. La efectuarea iterației de test cu valorile inițiale ale semnalelor de test unu și doi, respectiv egale cu "0" și "1", această defectare nu va fi detectată, deoarece starea logică a celei trei de memorie coincide cu valoarea actuală a semnalului respectiv de test.

În mod analog, în cazul iterației de test cu combinația inițială de test "10" (primul semnal de test este egal cu "1", iar al doilea cu "0"), la finele căreia în celulele dispozitivului de memorie trebuie să fie înscrisă secvența binară 1011011011, de asemenea nu va fi detectată defectarea blocat "1" a celei trei de memorie. Numai în următoarea iterație de test cu combinația de test inițială "11" va fi detectată defectarea din celula a treia de memorie. Într-adevăr, în acest caz secvența așteptată, care trebuie să fie înscrisă în celulele dispozitivului, este 1101101101, iar combinația de control corespunzătoare este "01". Ca rezultat al efectuării iterației de test secvența obținută este 110110110, unde combinația rezultantă de semnale de test "10" se deosebește (nu coincide) de cea de control.

Dacă dispozitivul analizat conține o defectare constantă multiplă, de exemplu blocat "1" în celulele trei, șase și nouă, iterațiile de test cu diferite valori neegale ale semnalelor de test, adică "01" și "10", nu vor detecta defectarea indicată. Într-adevăr, secvența rezultantă este 1110110110, unde ultimele două valori "10" se deosebesc de combinația așteptată (de control) "01".

De aceea pentru detectarea defectărilor constante (singulare ori multiple) este necesar de a efectua câteva iterații de test cu valori inițiale nenule diferite ale semnalelor din combinația de semnale de test care se înscriu respectiv în primele două celule ale dispozitivului. Dacă aceste combinații sunt combinațiile nenule, adică 01, 10 și 11, atunci pentru testarea completă (cu rezoluția =1) a dispozitivului de memorie operativă poate fi necesar de a aplica toate trei iterațiile de test.

Orice defectare constantă a matricei dispozitivului de memorie operativă va fi detectată la efectuarea a cel mult trei iterații de test cu valori inițiale diferite ale combinațiilor de semnale de test.

Astfel, pentru testarea completă (cu rezoluția (plauzibilitatea) egală cu 1 pentru defectările constante ale celulelor de memorie) a unui dispozitiv de memorie operativă cu capacitatea m sunt necesare $3(m-1)$ operații de citire-înscrisere în 3 iterații, adică în total $9(m-1)$ operații.

Deci metoda de testare a dispozitivului de memorie operativă cu celule unipoziționale logice (de 1 bit) permite, în cadrul a trei iterații de test, verificarea ipotezei prezenței (sau absenței) defectărilor constante (singulare sau multiple) în celulele matricei de memorie cu rezoluția plauzibilității absolute, adică egală cu 1, precum și detectarea defectărilor de influență reciprocă.